

## (54) ELECTRONIC DEVICE

(11) 62-263667 (A) (43) 16.11.1987 (19) JP

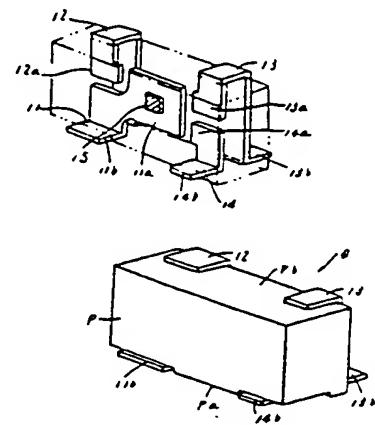
(21) Appl. No. 61-106645 (22) 12.5.1986

(71) HITACHI TOBU SEMICONDUCTOR LTD(1) (72) YOSHIJI KODAIRA

(51) Int. Cl. H01L23/50, H01L23/28

**PURPOSE:** To further reduce mounting area compared with the case of flat mounting by mounting a sealed body longitudinally long without the external connection terminal extended outside the sealed body.

**CONSTITUTION:** The first external connection terminals 11, 14 are projected from one side Pa and the ends 11b, 14b of the terminals 11, 14 are bent outside along the side Pa. The second external connection terminals 12, 13 are projected from the other side Pb and the ends 12b, 13b of the terminals 12, 13 are bent outside a package P. The ends 11b-14b of the first and the second external connection terminals are on the same plane. Mounting area is reduced but height H is equivalent to a length L and is constant. Accordingly, the characteristics of a transistor Q for power loss, etc. is not depreciated.



257/606

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭62-263667

⑬ Int.Cl.

H 01 L 23/50  
23/28

識別記号

府内整理番号

R-7735-5F  
A-6835-5F

⑭ 公開 昭和62年(1987)11月16日

審査請求 未請求 発明の数 1 (全 5 頁)

⑮ 発明の名称 電子装置

⑯ 特願 昭61-106645

⑰ 出願 昭61(1986)5月12日

⑱ 発明者 小平 好二 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

⑲ 出願人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

電子装置

2. 特許請求の範囲

1. 封止体によって封止される半導体チップと、一端が上記封止体内において上記半導体チップにワイヤを介して接続され、かつ他端が上記封止体の互いに対応する2側面のうちの一方の側面から上記封止体外に延長されて、この一方の側面に沿って折り曲げられる第1の外部接続端子と、上記封止体の他方の側面から突出し、かつその先端部が上記第1の外部接続端子と同一面になるように折り曲げられる第2の外部接続端子と、上記第1および第2の外部接続端子の上記折り曲げ部に対し縫接構造に形成された上記封止体と、をそれぞれ具備したことを特徴とする電子装置。

3. 発明の詳細な説明

【電子上の利用分野】

本発明は、トランジスタ、半導体焼結回路等の

電子装置に関し、特に実装密度を向上させる際に利用して有効な技術に関するものである。

【従来の技術】

上記電子装置の封止体、換言すればパッケージには各種の形状のものがある。『Solid State Technology』日本版 (September 1982, pp 69-77)には、ICパッケージの動向と題して、各種パッケージの形状が記載されている。

その概要は、平板状のパッケージの周囲に外部接続端子を設けるか、或いはパッケージの下面に外部接続端子を設けたものである。

本発明者は、上記電子装置の実装密度を向上させるべく種々の技術的検討を行った。以下は、公知とされた技術ではないが、本発明者によって実行された技術であり、その概要は次のとおりである。

第6図は、トランジスタに適用されるリードフレーム1の一例を示すものであり、2, 3, 4, 5, 6は外部接続端子となる。そしてAは半導体チップが固定される位置を示し、点線で示したロ

はパッケージ、すなわち封止体の大きさを示すものである。

上記外部接続端子2～6は第7図のように折り曲げられ、パッケージされたときの平面形状は、第8図のようになる。なお、記入された寸法は、トランジスタの電力損失等を勘案して決定された大きさの一例を示すものである。

〔発明が解決しようとする問題点〕

すなわち、上記平面形状から明らかなように、パッケージの2側面に形成された外部接続端子が外側方向に折り曲げられている。実装時には、上記外部接続端子を回路パターン上に配置し、半田付けするのであるから、実装面積としては外部接続端子2～6の長さ分を見込んだものが必要になる。上記寸法によれば一辺が2.8mmであるから、実装に必要な面積は最小で7.84mm<sup>2</sup>になる。

一方、VTRやTVのチューナ等では、コイル等が多用されているので、実装面積は縮小したいものの、コイルの高さ分によって高さ方向のスペースに余裕がある場合がある。このような状態を

すなわち、封止体を縦長構造に形成し、実装時に上記封止体を縦長構造に実装する一の側面に上記封止体と実質的に同一平面となる外部接続端子を形成するとともに、上記一の平面に対し互いに対抗する他の側面から第2の外部接続端子を封止体外に突出せしめてその先端部を上記第1の外部接続端子と同一面に形成し、上記第1および第2の外部接続端子をたとえばプリント基板に形成された回路パターンに接触せしめて実装するものである。

〔作用〕

上記した手段によれば、封止体の一の側面に形成された外部接続端子を回路パターンに半田付け等により実装すると、この面に外部接続端子が形成されているので、上記封止体外に延長された外部接続端子がなく、この分実装面積が低減される上に、封止体が縦長に実装されるので、平板状に実装される場合に比較して更に実装面積を低減することができ、トランジスタ、IC等の実装面積を低減する、という本発明の目的を達成すること

を考えると、上記トランジスタを縦長構造にすれば、実装面積を小にして、必要なトランジスタ、IC等を実装することができる。

換言すれば、電子装置の体積を変えず、面積を縮小すれば実装密度を向上し得ることになる。

そして、パッケージの外側方向に突出している外部接続端子をパッケージ外に突出しない形状にすれば、実装面積はパッケージの大きさに縮小し得ることに気づいた。しかもパッケージは実装面に対し平板状にせず、縦長構造にすれば、実装面積を更に縮小し得ることに気づいた。

本発明の目的は、実装面積を低減したトランジスタ、IC等の電子装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

ができる。

〔実施例-1〕

以下、第1図～第4図を参照して本発明を適用した電子装置の第1実施例を説明する。

本実施例の特徴は、トランジスタをパッケージを縦長構造になし、実装密度を低減したことにある。なお、上記トランジスタは、Dual Gate FETであるが、これは本発明が適用されるトランジスタの一例であって、上記トランジスタに限定されるものではない。

第1図は外部接続端子11～14の折り曲げ形状を示すものであり、鋼板等からなるリードフレームは、上記第1図に示した形状と同一のものであってよい。

外部接続端子11の先端部11aには、第1図に示すように半導体チップ15が固定され、他の外部接続端子12～14の各先端部12a～14aはインナーリードとなる。そして半導体チップ15と各インナーリードとは、ワイヤボンディングされる。なお、第1図に示す点線は、実際封止せ

パッケージの大きさを示すものである。

上記外部接続端子 11, 14 は、本発明でいう第1の外部接続端子に相当し、上記外部接続端子 12, 13 は本発明でいう第2の外部接続端子に相当する。

第2図はパッケージされたトランジスタQの形状を示す斜視図であり、パッケージPの互いに対応する側面 Pa, Pb は、本発明でいう一方の側面と他方の側面に相当する。

一方の側面 Pa から第1の外部接続端子 11, 14 が突出し、その先端部 11b, 14b は側面 Pa に沿って外側方向に折り曲げられている。

他方の一側面 Pb から第2の外部接続端子 12, 13 が突出し、その先端部 12b, 13b は第2図および第3図に示すようにパッケージPの外側方向に折り曲げられている。そして、上記第1および第2の外部接続端子の先端部 11b~14b は同一平面、換言すれば面一になされている。

第3図は上記 Pa 方向からみたトランジスタQ の平面図であり、記入した数字は平面の寸法を示

外部接続端子 11, 14 がパッケージの横方向に突出していないため、実装面積が大幅に低減される。しかもパッケージPの体積は、上記検討例と同一であることから、電力損失は同一にすることができる。

上記実施例で示したトランジスタQは下記の如き効果を有する。

(1) トランジスタパッケージの平面面積の小さな一面に外部接続端子を形成し、しかも上記外部接続端子のパッケージ外への突出部分を無くしたので、トランジスタの実装面積を低減する、という効果が得られる。

(2) 上記(1)により、電子機器の実装密度を向上し得る、という効果が得られる。

(3) 上記(2)により、電子機器の小型化が容易になる、という効果が得られる。

(4) トランジスタのパッケージを既設構造にして実装し得るので、パッケージの体積を小にする必要がなく、トランジスタの電力損失等が削減されない、という効果が得られる。

すものである。そして実装面積は、 $2.8\text{mm} \times 1.8\text{mm}$ によって決定され、面積は $5.18\text{mm}^2$ となる。上記検討例の実装面積が $7.84\text{mm}^2$ であるから大幅に低減されることになる。

なお、実装面積は上記のように低減されるものの、高さ H は検討例における長さ H に相当し不变であるとする。この結果、トランジスタQの電力損失等に対する特性が低下することはない。

ところで、第2図に示すように先端部 11b, 14b は一側面 Pa の段差部 21 に形成され、両者の表面が実質的に面一になるようになされている。

一側面 Pa には、実装時にトランジスタQを位置決め、固定するための接着剤が塗布される。上記折り曲げ部 11b~14b は、プリント基板に形成された回路パターン(何れも図示せず)上に接触するように位置決めされ、接着剤によって固定される。次いで半田付けにより実装される。

したがって、上記構造のトランジスタQによれば、パッケージPが既設構造に形成され、しかも

(5) 外部接続端子の折り曲げ部をパッケージの一側面と実質的に同一平面とし、上記折り曲げ部を回路パターン上に接触せしめて、接着剤により位置決め、固定ができるようにしたことにより、トランジスタの自動接合、自動実装が可能になる、という効果が得られる。

なお、上記実施例は、本発明をトランジスタに適用したものであるが、半導体集積回路(以下において IC という)にも適用することができる。

#### 【実施例-2】

次に、第4図および第5図を参照して本発明の第2実施例を説明する。

本実施例と上記実施例との相違点は、本発明をデュアルインライン型の IC に適用したことにある。

IC 21において、P はパッケージを示し、一側面 Pa に形成された外部接続端子 22 と他の側面 Pb に形成された外部接続端子 23 とは、上記折り曲げ部 13b, 14b と同様にして形成されたものである。パッケージPは図示のように既設構造

である。

したがって、上記外部接続端子22, 23を用いて実装した場合、実装面積は上記第1実施例同様に、側面PaまたはPbの面積と、外部接続端子22, 23の面積との和によって決定される。そして上記同様に、実装面積が低減される。

本実施例は、上記同様の効果を有するうえに、下記の如き効果を有する。

(6) ICの一側面に複数の外部接続端子を面一に形成してパッケージの実装面に外部接続端子を形成するとともに、他の側面から突出した複数の外部接続端子の先端部を上記外部接続端子と同一平面になるように折り曲げることにより、ICの実装時の平面面積が低減するので、実装面積を低減する、という効果が得られる。

(7) ICのパッケージを棟長構造にしたので、ICの実装面積を小にしたにも関わらず、ICの体積を大にすることができる、ICの換気性を向上し得る、という効果が得られる。

以上に、本発明者によってなされた発明を実施

棟長構造として、電子装置の電力損失等の機能を損うことなく実装面積を低減する、という効果を得るものである。

#### 4. 図面の簡単な説明

第1図～第3図は本発明を適用した電子装置の第1実施例を示すものであり、

第1図は外部接続端子の折り曲げ構造を示す斜視図。

第2図はトランジスタの外形を示す斜視図。

第3図は実装面積を示す平面図。

第4図は本発明の第2実施例を示すICの斜視図。

第5図は上記ICの他の斜視図。

第6図は本発明に先立って改訂されたリードフレームの平面図。

第7図は上記リードフレームの折り曲げを示す斜視図。

第8図はトランジスタの平面図である。

Q…トランジスタ、11～14…外部接続端子、  
1.1b～1.4b, 22, 23…折り曲げ部、21

例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変形可能であることはいうまでもない。例えば、上記折り曲げ部12b, 13b, 23をパッケージの実装面となる側面Paに沿うように折り曲げてもよい。この場合、トランジスタQ, IC21の何れについても実装面積を更に低減することができる。

以上の説明では、主として本発明者によってなされた発明をその背景となつた利用分野であるトランジスタ等に適用した場合について説明したが、それに限定されるものではなく、例えばハイブリッドICに利用することもできる。

#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、トランジスタ、ICの如き電子装置の外部接続端子をパッケージの実装面となる一側面と面一に形成するとともに、上記パッケージを

…IC, Pa, Pb…一側面、P…パッケージ。

代理人弁理士 小川勝男

